

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-215168

(43)Date of publication of application : 28.08.1990

(51)Int.Cl.

H01L 31/10

(21)Application number : 01-035068

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.02.1989

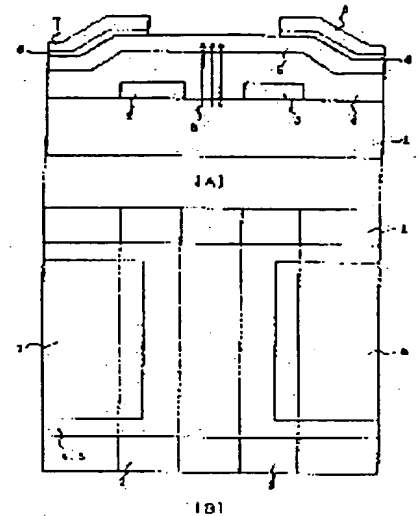
(72)Inventor : TSUKADA TOSHIHISA

(54) THIN FILM PHOTOTRANSISTOR

(57)Abstract:

PURPOSE: To make an input impedance high so as to obtain a voltage controlled type element easy to use by a method wherein the gate of a thin film phototransistor is composed of two or more branches which are, at least, partially connected in common.

CONSTITUTION: A thin type phototransistor is formed into a bottom gate type invertedly staggered structure, gate electrodes 2 and 3 are separately formed on a glass substrate 1, light rays 9 introduced through the gap between the electrodes 2 and 3 are incident on a photosensitive semiconductor layer 5 to induce optical carriers in the layer 5. The gates 2 and 3 are provided with patterns divided into branches which are commonly connected outside the electrodes 2 and 3. After the electrodes 2 and 3 are patterned, silicon nitride to be a gate insulating film 4 and an amorphous silicon hydride to be a photosensitive semiconductor layer 5 are deposited through a CVD method. Moreover, an N-layer to serve as an ohmic contact film 6 is successively laminated following the above two layers to make an input impedance high, and thus a voltage controlled type element easy to use can be obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

**Japanese Publication for Unexamined Patent
Application No. 215168/1990 (Tokukaihei 02-215168)**

A. Relevance of the Above-identified Document

This document has relevance to claims 1 through 4 of the present application.

B. Translation of the Relevant Passages of the Document

[EFFECTS]

...

The gate electrode is divided into a plurality of branches or into individual plural pieces. Light enters through the gaps between the branches/pieces, and generates photo-carriers. As a result, photo-carriers are induced in the area of the semiconductor corresponding to the gaps of the gate electrode in response to the light irradiation. Photo-carriers are further induced in the area of the semiconductor superimposed on the gate electrode, in response to application of the gate voltage. In this way, the electrical control and the optical control of the drain current may be realized as separate functions.

The lengths of the gate electrode and the gap determine a current standard of the photo-carriers, and the optimal value including the number of branches is

THIS PAGE BLANK (USPTO)

selected according to the field of usage.

With such an arrangement, the ratio of ON to OFF of photoelectric current can be increased.

[EMBODIMENTS]

Figure 1 shows a cross-sectional view (B) and a plan view (A) of the thin film photo-transistor, as one embodiment of the present invention. In the figure, the reference numeral 1 expresses a glass substrate, 2 and 3 express gate electrodes, 4 expresses a gate insulation film, 5 expresses a photosensitive semiconductor layer, 6 expresses an ohmic contact layer, 7 expresses a source electrode, 8 expresses a drain electrode, and the arrows 9 express incident light.

As can be seen in the cross-sectional view (A), this embodiment is a bottom-gate-type inversely-staggered thin film transistor. Further, the gate electrode is divided into separate pieces 2 and 3, and the light 9 entering through the gaps therebetween generates photo-carriers on the photosensitive semiconductor layer 5.

Note that, in the plan view (B) of Figure 1, the gate electrodes 2 and 3 are shown as separate pieces; however, they are connected in a portion outside the figure, and branched-out in the portion shown in the figure. Note that, as described later, the gate electrodes 2 and 3 may

THIS PAGE BLANK (USPTO)

also be provided as separate electrodes.

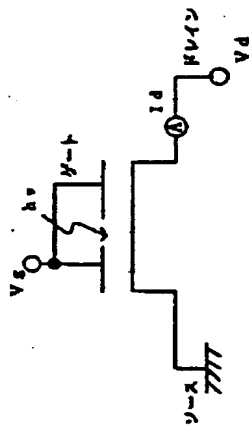
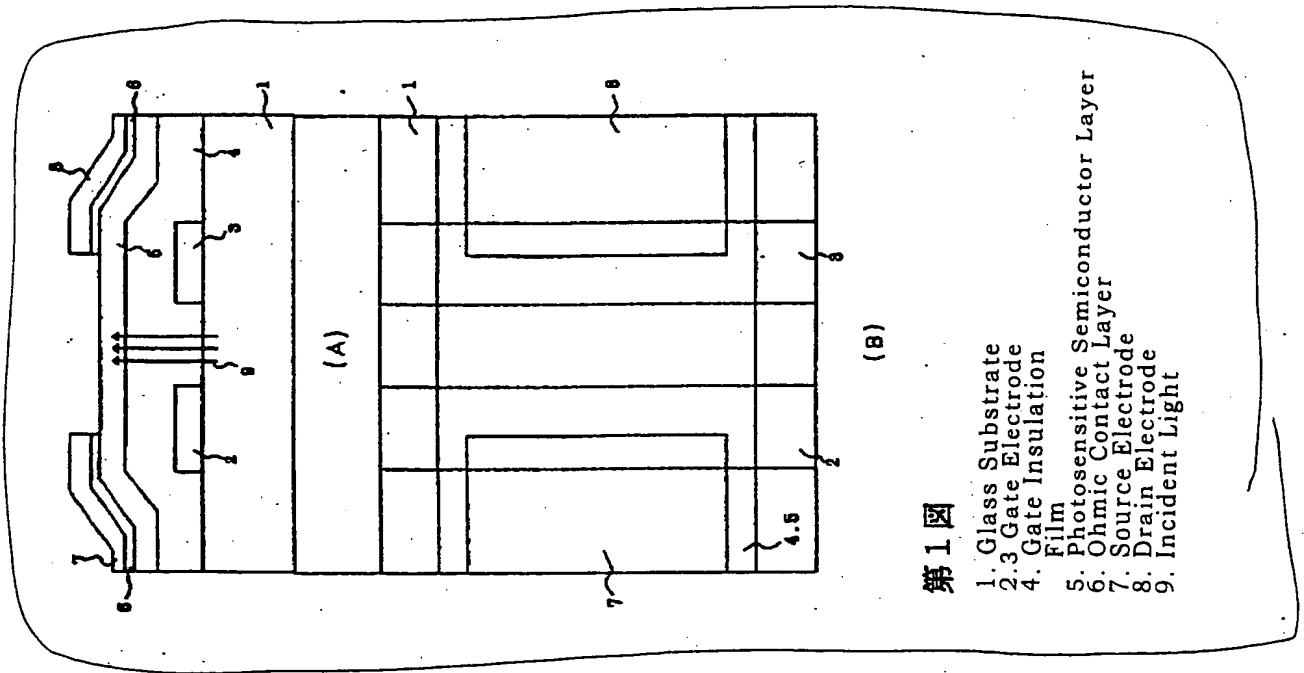
The following describes manufacturing processes.

...

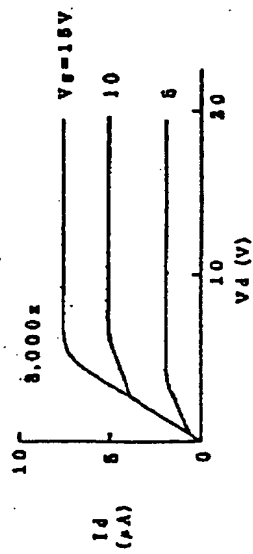
THIS PAGE BLANK (USPTO)

(8)

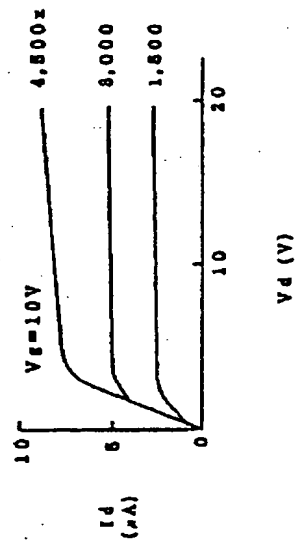
特開平2-215168 (6)



第2図



第3図



第4図

THIS PAGE IS BLANK (USPTO)

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-215168

⑬ Int.Cl.⁸

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月28日

H 01 L 31/10

7733-5F H 01 L 31/10

A

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 薄膜ホトトランジスタ

⑯ 特 願 平1-35068

⑰ 出 願 平1(1989)2月16日

⑱ 発 明 者 塚 田 俊 久 東京都国分寺市東恋ヶ塚1丁目280番地 株式会社日立製作所中央研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 中村 純之助

(57) 【要約】

〔目的〕 薄膜フオトトランジスタのゲートが少なくとも一部が共通接続された複数の枝によつて構成されることにより、入力インピーダンスを高くし、電圧制御型の使い易い素子を得る。

〔構成〕 薄型フオトトランジスタをボトムゲート型の逆スタガ構造とし、ガラス基板1上にゲート電極2、3が分割形成され、その間隙から導入された光9が感光性半導体層5に光キャリアを生成する。またゲート電極2、3がその外側にて共通に接続され、2個に枝分かれした電極パターンを有する。このゲート電極2、3のパターニング後、ゲート絶縁膜4となる窒化シリコン、感光性半導体層5となる水素化非晶質シリコンをプラズマCVD法により堆積する。さらにオーミックコンタクト膜6となるn層を2層に続いて積層し、入力インピーダンスを高くし、電圧制御型の使用し易い素子を得る。

【薄膜 フオト トランジスタ 薄膜 フオト トランジスタ ゲート 一部 共通 接続 複数 枝 構成 入力 インピーダンス 高さ 電圧 制御 使い 易い 素子 薄形 ボトム ゲート型 スタガ 構造 ガラス 基板 ゲート 電極 分割 形成 間隙 導入 光 感光性 半導体 層 光キャリア 生成 外側 接続 2個 枝分れ 電極 パターン パターン化 ゲート 絶縁膜 窒化 珪素 水素化 非晶質 珪素 プラズマ CVD 堆積 オーミック コンタクト膜 N層 2層 積層 使用】

(2)

1

2

【特許請求の範囲】

1、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜、感光性半導体層を少なくとも有する薄膜ホトトランジスタにおいて、ゲート電極が少なくとも一部において共通接続された複数の枝からなることを特徴とする薄膜ホトトランジスタ。

2、ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜、感光性半導体層を少なくとも有する薄膜ホトトランジスタにおいて、ゲート電極が独立した複数個からなり、各ゲート電極に同一若しくは異なったゲート電圧を印加することを特徴とする薄膜ホトトランジスタ。 10

3、特許請求の範囲第1項または第2項記載の薄膜ホトトランジスタにおいて、ソース電極、ドレイン電極とゲート電極との間にゲート絶縁膜および感光性半導体層を介在する構造を有し、かつ上記ゲート電極側から光を入射する構造を有することを特徴とする薄膜ホトトランジスタ。

4、特許請求の範囲第1項乃至第3項のいずれかに記載の薄膜ホトトランジスタにおいて、上記感光性半導体層が水素化非晶質シリコンからなることを特徴とする薄膜ホトトランジスタ。 20

(3)

訂正有り

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-215168

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)8月28日

H 01 L 31/10

7733-5F H 01 L 31/10

A

審査請求 未請求 請求項の数 4 (全7頁)

⑮ 発明の名称 薄膜ホトトランジスタ

⑯ 特 願 平1-35068

⑰ 出 願 平1(1989)2月16日

⑱ 発明者 塚田 俊久 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
 ⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
 ⑳ 代理人 弁理士 中村 純之助

明 細 書

1. 発明の名称

薄膜ホトトランジスタ

2. 特許請求の範囲

1. ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜、感光性半導体層を少なくとも有する薄膜ホトトランジスタにおいて、ゲート電極が少なくとも一部において共通接続された複数の枝からなることを特徴とする薄膜ホトトランジスタ。

2. ゲート電極、ソース電極、ドレイン電極、ゲート絶縁膜、感光性半導体層を少なくとも有する薄膜ホトトランジスタにおいて、ゲート電極が独立した複数の枝からなり、各ゲート電極に同一若しくは異なるゲート電圧を印加することを特徴とする薄膜ホトトランジスタ。

3. 特許請求の範囲第1項または第2項記載の薄膜ホトトランジスタにおいて、ソース電極、ドレイン電極とゲート電極との間にゲート絶縁膜

および感光性半導体層を介在する構造を有し、かつ上記ゲート電極側から光を入射する構造を有することを特徴とする薄膜ホトトランジスタ。

4. 特許請求の範囲第1項乃至第3項のいずれかに記載の薄膜ホトトランジスタにおいて、上記感光性半導体層が水素化非晶質シリコンからなることを特徴とする薄膜ホトトランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は単体の光センサ、集積化1次元センサ、あるいは2次元センサとして利用される薄膜ホトトランジスタに関する。

〔従来の技術〕

従来のホトトランジスタは、例えば、「超LSI 総合辞典」(西沢潤一 監修、サイエンスフォーラム 昭和63.3.31 第779頁)に記載されているように、バイポーラトランジスタを基本構造とするものであり、トランジスタのベースに光が入射し、ベースへの少数キャリアの注入が光によって行われる構造となっていた。

(4)

特開平2-215168(2)

【発明が解決しようとする課題】

従来技術のようにバイポーラトランジスタを基本としたホトトランジスタにおいては、光の利用効率、指向性等の点で有効化を図ることが難しいこと、および電界効果トランジスタへの展開をはかれない等の問題点があった。

上記の問題を解決するため、本出願人は薄膜ホトトランジスタを既に出願（特願昭63-244167号）している。

上記の薄膜ホトトランジスタは電界効果トランジスタを用いた点において有効な技術である。すなわち、光電流のON/OFF比が300程度と良好な値を示すと共に、バイポーラトランジスタの有する前記のごとき課題を持たない点に特徴を有するものである。

しかし、ホトトランジスタは数百〜千個あるいはそれ以上の集積化を必要とするため、光電流のON/OFF比をさらに大きくすることが要求され、また特性も直線性に欠ける点がある等、改善の余地があった。

なお、入力インピーダンスが高く、電圧制御型の電界効果トランジスタを実現するためには、スタガ構造の薄膜トランジスタが適している。

【作用】

基板上に形成されたホトトランジスタは、ゲート電極、ゲート絶縁膜、感光性半導体層、オーミックコンタクト層、ソース電極、ドレイン電極からなる。ソース電極はキャリアの注入電極であり、通常は基準電位（アース電位）に設定され、ゲート電極ならびにドレイン電極は通常はソース電極に対して高い電位に設定される。

感光性半導体層はキャリアの走るチャネル層がゲート絶縁膜との界面において形成される領域であると共に、入射光が照射される領域でホトキャリアが生成する領域でもある。この際、ゲート電極側から光を入射することにより、チャネル近傍におけるホトキャリアの生成確率が増大し、良好なホトトランジスタ特性が得られる。

ゲート電極は複数の枝または独立した複数個に分割されており、その間隙を透って入射した光に

本発明の目的は、電氣的スイッチ機能および増幅機能を有し、光電流のON/OFF比が高く、かつ特性も良好な電界効果型の薄膜ホトトランジスタを提供することにある。

【課題を解決するための手段】

上記目的を達成するため、本発明においては特許請求の範囲に記載するように構成している。

すなわち、本発明においては、光電流のON/OFF特性の改善あるいは電圧によるスイッチ機能および光によるスイッチ機能（アナログスイッチ機能）および電氣的増幅機能の改善を達成するために、ゲート電極を複数個の枝に分ける（第1請求項）か、或いはゲート電極を独立した複数個設ける（第2請求項）ように構成している。

また、上記の機能を高めるために、光をゲート電極側から導入するように構成している（第3請求項）。

また、光感度を増大させるために、感光性半導体層を水素化非晶質シリコン（a-Si:H）によって構成している（第4請求項）。

よりホトキャリアが生成する。したがってゲート電極の間隙部分の半導体領域には光の照射によってホトキャリアが誘起され、またゲート電極と重畳する半導体領域はゲート電圧印加によってキャリアが誘起される。そのためドレイン電流の電氣的制御と光學的制御を機能的に分離することが出来る。

ゲート電極長と間隙長はこのホトトランジスタの電流水準を決定することになり、応用分野に応じて最適値が枝数も含めて選択される。

上記のように構成することにより、光電流のON、OFF比の増大をはかることが出来る。

また、水素化非晶質シリコンは低温プロセスによって増殖可能な薄膜であり、長尺、大面積のデバイスをつくるのにとくに適した材料である。プラズマCVD法に代表される製膜法は、この目的に特に適した方法であり、ホトトランジスタの製造手段を簡略化するのに極めて適したものである。

また、光センサであるためには不透明基板を用いることは一つの制約条件となるものであるが、

(5)

特開平2-215168 (3)

本発明においては薄膜トランジスタを用いることによって透明基板あるいはガラス基板上へのホトトランジスタの形成を可能にしている。

【実施例】

第1図は、本発明の一実施例図であり、薄膜ホトトランジスタの断面図(A)および平面図(B)を示す。第1図において、1はガラス基板、2および3はゲート電極、4はゲート絶縁膜、5は感光性半導体層、6はオーミックコンタクト層、7はソース電極、8はドレイン電極である。また矢印9は入射光を示す。

この実施例は、断面図(A)に見られるようにボトムゲート型の逆スタガ構造薄膜トランジスタである。そして、ゲート電極が2および3の二つに分割されており、その間隙から導入された光9が感光性半導体層5に光キャリアを生成する。

なお、第1図の平面図(B)においては、ゲート電極2および3が独立した2個として示されているが、図示した部分の外側では2と3が共通に接続され、図示の部分で2個に枝分かれした電極

パターンを有している。なお、後述するように、2と3が独立した2個のゲート電極の場合もある。製造プロセスは次の通りである。

まず、ガラス基板1上にスパッタ法によって金属クロムを厚さ200nmで堆積する。これをホトリソグラフィ法によってパターニングを行うことにより、ゲート電極2、3を形成する。

ゲート電極のパターニング後、ゲート絶縁膜4となる酸化シリコン、感光性半導体層5となる水素化非晶質シリコン(a-Si:H)をプラズマCVD法により、それぞれ350nm、550nmの厚さに堆積する。さらに同じくプラズマCVD法によりオーミックコンタクト層6となるa-Si:Hのn層を上記2層に続いて堆積する。厚さは50nmである。

プラズマCVD法は、真空容器中にモノシラン(SiH₄)をベースにしたガスを導入し、RFパワーを加えることによってプラズマを形成し、これによって分解したSiおよび水素が基板上に堆積するものである。この場合a-Si:Hが形成

され、ホスフィン(PH₃)を導入すればn型不純物である磷をドーブしたa-Si:Hを形成することが出来る。またSiH₄と共に窒素やアンモニアを導入すれば窒化シリコン(SiN)が形成される。

次に、ソース電極7およびドレイン電極8を形成する。電極材料としてはCrとAuの二層膜を用いた。Crはa-Si:HとAuとの間の反応防止用バッファ層であり、Auは電極の低抵抗化のためである。各々の膜厚は100nm、300nmである。ソース電極およびドレイン電極はこの後パターニングして形成される。なおパターン化されたソース電極およびドレイン電極をマスクとしてa-Si:Hのn層をエッチングする。これはセルフアライン工程である。なお、上記のようにして形成した素子の上に図示しない保護膜を形成する。

第1図の実施例においては、ゲート電極2と3間のギャップ長は10μmである。また、トランジスタのW/Lは500μm/20μmである。すなわちソース電極7とドレイン電極8との間隔

は20μm、ソース電極端からゲート2の端まで5μm、ゲート3の端からドレイン電極端まで5μmである。

上記のように作製したホトトランジスタを第2図の回路に示すようにバイアスし、光をゲート電極側から照射してドレイン電流I_dとドレイン電圧V_dの関係を測定した。なおV_gはゲート電圧を示す。

第3図は3,000ルクスの光を照射したときにおけるドレイン電流とドレイン電圧の関係を示した図であるが、図示のごとく、良好な飽和特性が得られた。

第4図はゲート電圧を一定値(V_g=10V)に設定したときにおけるドレイン電流の光量依存性を示した図である。図示のごとく、本素子においては、光電流と暗電流の比も大きくなり、その比として1,000に達する値が得られた。

以上、説明した動作は、ゲート電極が2個に枝分かれした実施例に関するものである。すなわち、ゲート電極は一つであり、ホトトランジスタ部に

(6)

特開平2-215168(4)

において分枝した構造を有するゲート電極に電圧を印加するものである。しかし、先に簡単に述べたように、ゲート電極を複数個に分け、それぞれに別の電圧を印加することにより、特性を改善することが出来る。

例えば、第1図において、ゲート電極2と3とが独立した2個の電極である場合の一動作例を次に述べる。

第1図において、ドレイン電極8に+10V、ソース側のゲート電極2に+10Vの電圧を印加しておき、ドレイン側のゲート電極3に印加する電圧を制御することによってドレイン電流をスイッチする。すなわち、ON時にはゲート電極3に+10Vを印加する。これは先の複数枝の実施例におけるON時のバイアス条件と同じであり、入射光の有無によってドレイン電流が大きく変化する。一方、OFF時にはゲート電極3に-10Vを印加する。このときゲート電極3によってホールチャネルが形成され、ゲート電極2によって電子チャネルが形成される。この状態においては、

電子に対してはゲート電極3が阻止ゲートとなり、ホール（正孔）に対してはゲート電極2が阻止電極となるので、OFF電流の改善が実現される。さらに、スイッチング速度の改善も可能になるという特徴も有する。

次に、第5図は本発明の第2の実施例の断面図である。

本実施例はゲート電極2、3が素子の上部にあるホトトランジスタである。

製造プロセスは、まず、ガラス基板1上にCrをスパッタリングによって堆積する。ついでn型のa-Si:HをプラズマCVD法により堆積する。これをパターニングすることにより、ソース電極7およびドレイン電極8を形成する。この上にプラズマCVD法により、感光性半導体層5となるa-Si:Hおよびゲート絶縁膜4となる酸化シリコンを堆積する。次に、ゲート電極用金属膜Crをスパッタリングによって堆積し、パターニングを行うことによってゲート電極2および3を形成する。

本素子の動作は、前記第1図の実施例と同様に、ゲート電極2と3の間隙から光を導入し、ゲート、ソース、ドレインの各電極にバイアス電圧を印加することによって行なった。その結果、ホトトランジスタとしての諸特性は、前記第1図の実施例と同様に満足すべきものが得られた。

次に、第6図は本発明の第3の実施例の断面図である。

この実施例は、第1図と同様のボトムゲート型ホトトランジスタであるが、ゲート電極を2、3および10の三つに分割した構造を持ったものである。

この実施例においては、ゲート電極の構造はやはり複数となるが、取扱いうる電流範囲を広くすることが出来る。

また、この実施例では、感光性半導体層5の上部に酸化シリコンからなる保護膜11を形成してチャネルへの外気の影響を極小化すると共に、遮光膜12を形成して上部からの遮光を遮断している。なお、前記第1図においても第6図と同様の

保護膜および遮光膜を設けることが出来る。

次に、第7図は本発明の第4の実施例の断面図である。

この実施例もボトムゲート構造であるが、下部すなわちゲート電極側からの光を遮光膜14によって遮断する構造を有している。したがって入射光は上部すなわちソース、ドレイン電極側から導入する。なお13は絶縁膜である。本実施例ではゲート端部とソースドレイン端部がオンザラインとしている。

次に、第8図は本発明の第5の実施例図である。

この実施例は、ボトムゲート型の別の実施例を示したものである。

本実施例において、チャネルとなる感光性半導体層(a-Si:H)5を堆積するところまでは前記第1図の実施例と同様である。しかし、本実施例においては、続けて酸化シリコンを堆積して保護膜15を形成する。ソース、ドレイン電極は保護膜15をパターニングした後、オーミックコンタクト層6およびCr/Au膜を堆積し、パター

(7)

特開平2-215168(5)

ニングすることによって形成する。

この実施例においては、前記第1図の実施例に比してチャネル部の $a\text{-Si:H}$ 膜厚の再現性を向上させることが出来る。

なお、感光性半導体層となる $a\text{-Si:H}$ の膜厚に関しては、光に対する十分な感度を有するためには厚いことが望ましく、かつ、チャネルからホトキャリア生成領域が離れ過ぎないことが望ましい。したがって $a\text{-Si:H}$ の膜厚は 100nm 以上 $1\mu\text{m}$ 以下が望ましく、特に 200nm 以上 600nm 以下が好適である。

以上本発明を実施例に即して述べて来たが、本発明はこれに限定されるものではない。

例えば、感光性半導体層は $a\text{-Si:H}$ 以外にも $a\text{-SiC:H}$ 、 $a\text{-SiGe:H}$ 、 $a\text{-Ge:H}$ 、 $a\text{-C:H}$ あるいはⅢ-V族、Ⅳ-V族の化合物半導体であってもよい。

また、ゲート絶縁膜としては窒化シリコン以外にも二酸化シリコン、 Ta_2O_5 、 Al_2O_3 等の酸化物であってもよく、これらを使用したもの、す

なわち SiN/SiO_2 、 $\text{Ta}_2\text{O}_5/\text{SiN}$ 、 $\text{Al}_2\text{O}_3/\text{SiN}$ 等であってもよい。

また、その製造方法もプラズマCVD法、スパッタ法等のドライプロセス、あるいは陽極酸化法に代表されるウエットプロセスであってもよい。

また基板はガラス基板を主として説明したが、第5図の実施例のような場合には不透明基板（たとえば樹脂コートした金属基板等）であってもよい。

また、遮光膜については第6図および第7図においてのみ言及したが、その他の実施例においても遮光膜を形成する方が特性的には良好な結果が得られる。

【発明の効果】

本発明は、以上説明したように構成されているので以下に記載するような効果を有する。

まず、ホトトランジスタがソース、ドレイン、ゲートを有する薄膜電界効果型トランジスタであるため、入ラインピーダンスが高く、電圧制御型の極めて使い易い素子である。

また、ゲート電極が複数の枝を持つ構造または複数の独立した構造であるため、光電流のON/OFF比を $1,000$ 乃至それ以上の高い値とすることが出来る。また γ 特性も1に近い良好な値を得ることが出来る。さらに独立した複数のゲート電極を有する場合に、それらに異なった電圧を印加することにより、特性を更に向上させることが出来る。

また、光をゲート電極側から導入することにより、ドレイン電流の電氣的制御と光学的制御の分離効果を高めることが出来る。更にゲート電極側から光を導入すれば、ホトキャリア生成領域がチャネルに近く位置することになるので良好な特性が得られる。

また、感光性半導体層として水素化非晶質シリコンを用いることにより、光感度が高く（量子効率 ~ 1 ）かつ製作方法が容易な薄膜ホトトランジスタを提供することが出来る。

4. 図面の簡単な説明

第1図は本発明の一実施例の断面図および平面

図、第2図はバイアス印加例を示す回路図、第3図および第4図は第1図の実施例における電流-電圧特性図、第5図乃至第8図は本発明の他の実施例の断面図である。

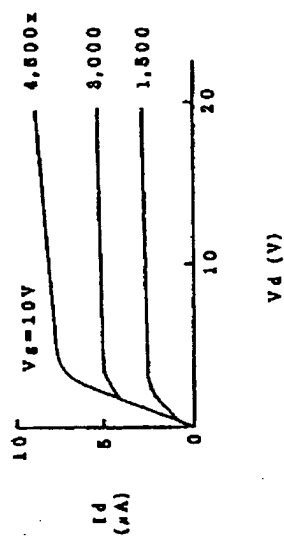
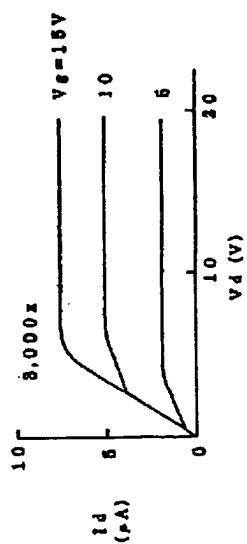
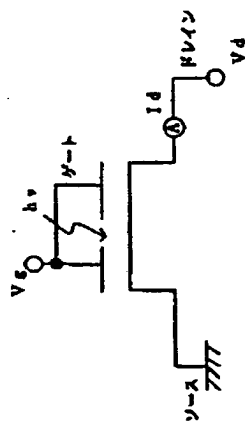
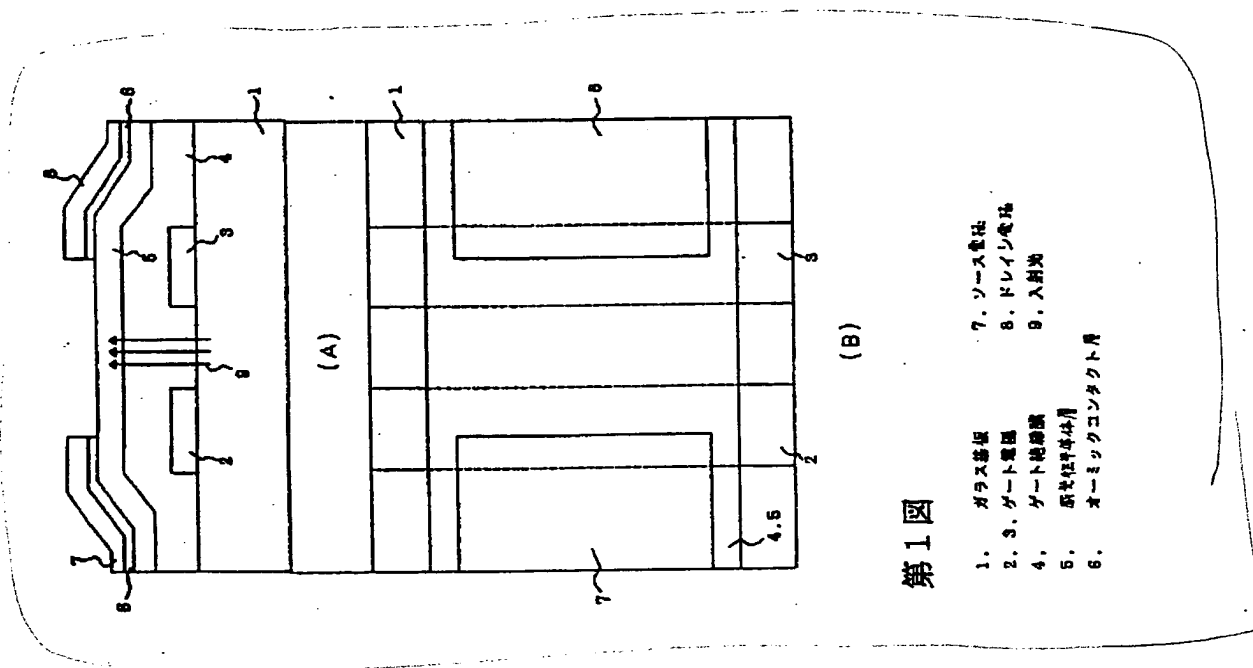
〈符号の説明〉

- | | |
|---------------|------------|
| 1…ガラス基板 | 2, 3…ゲート電極 |
| 4…ゲート絶縁膜 | 5…感光性半導体層 |
| 6…オーミックコンタクト層 | |
| 7…ソース電極 | 8…ドレイン電極 |
| 9…入射光 | 10…ゲート電極 |
| 11…保護膜 | 12…遮光膜 |
| 13…絶縁膜 | 14…遮光膜 |
| 15…保護膜 | |

代理人弁理士 中村 純之助

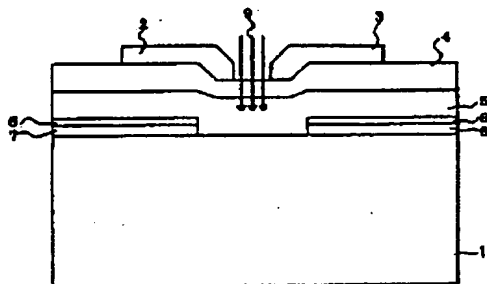
(8)

特開平2-215168 (6)

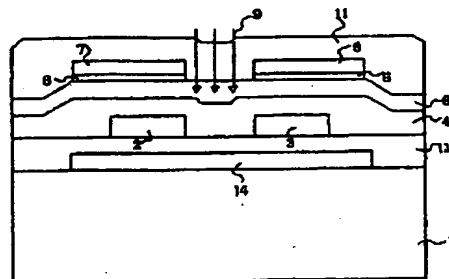


(9)

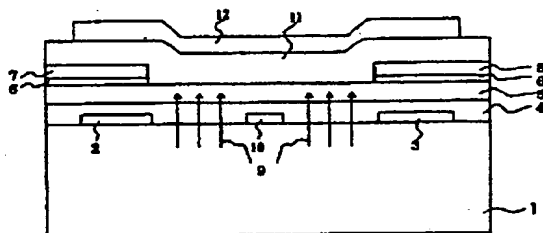
特開平2-215168(7)



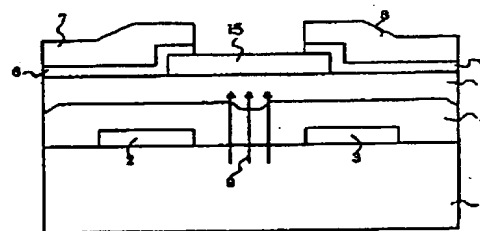
第5圖



第7図



第6圖



第 8 図

10. ゲート電圧
11. 帰路側
12. 直先線

THIS PAGE BLANK (USPTO)